**Módulo IP Circuito para pruebas**

**Introducción**

La metaestabilidad es un comportamiento anormal de la salida de un flip-flop (FF), que afecta el funcionamiento de los circuitos digitales, ya que se generar señales inestables.

Si el FF que es el elemento básico para conformar circuitos secuenciales sincrónicos (CSS) es vulnerable a este comportamiento entonces se puede afirmar que cualquier CSS es vulnerable.

En la Figura 1 se muestra el comportamiento normal de un FF y el comportamiento metaestable. Cuando se cumplen los requerimientos temporales del FF: tiempo de set-up (tsu) y tiempo de hold (th), su salida Q se establece en un valor lógico válido un tiempo tpd posterior al frente activo de la señal de reloj. Cuando ocurre metaestabilidad producto de la violación de los requerimientos temporales del FF, la salida Q se establece en un valor lógico en un tiempo tpd + tMET.

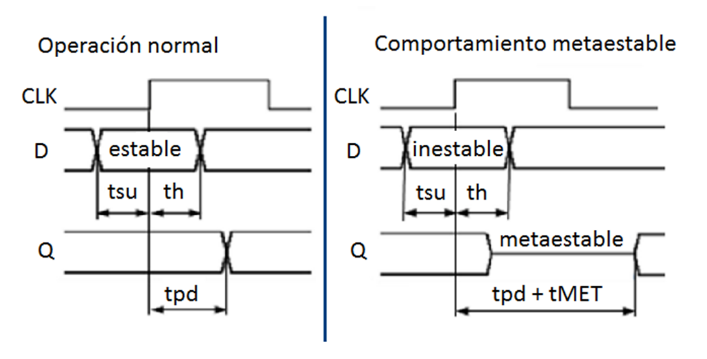


Figura 1. Diagrama de tiempo comportamiento normal del FF (izquierda), comportamiento metaestable del FF (derecha)

La ecuación 1 muestra la probabilidad que la condición de metaestabilidad persista más allá de un tiempo (tpd + tMET) después del frente positivo del reloj.

Donde:

* Ƭ es una constante de tiempo, determinada por la tecnología de fabricación del FF.

De esta ecuación se deduce que mientras más tiempo transcurra, hay menos probabilidad que la condición de metaestabilidad persista. En este principio de basan los sincronizadores.

La Figura 2 muestra un sincronizador de dos etapas. A DFF1 (DFF, flip flop tipo D) llega una señal asincrónica, por ejemplo, una señal que proviene de otro dominio de reloj; por tanto, no se puede garantizar que esta señal cumpla con los requerimientos temporales de DFF1 (tsu y th).

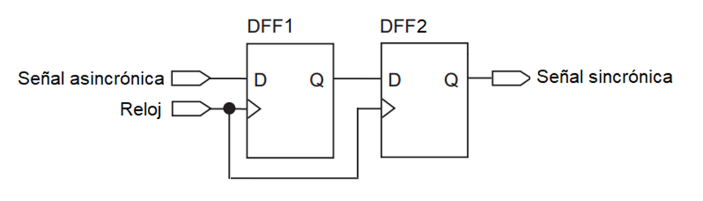


Figura 2. Sincronizador de dos etapas

La señal asincrónica puede ser inestable en la ventana de tiempo tsu + th alrededor del frente activo de la señal de reloj (Comportamiento metaestable en la Figura 1). Si esto ocurre la salida de DFF1 puede resultar en metaestabilidad; sin embargo, en un tiempo tpd + tMET saldrá de este estado (probablemente) y alcanzará un valor lógico válido sin afectar el comportamiento de DFF2, como se muestra en la Figura 3.

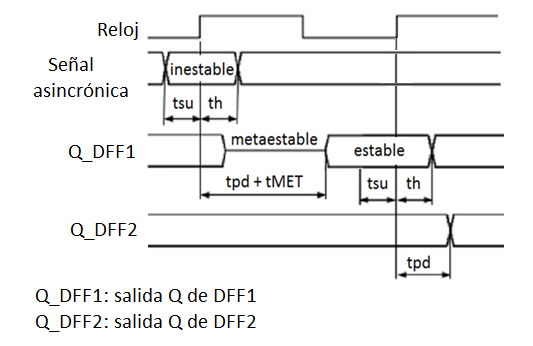


Figura 3. Diagrama de tiempo que muestra el principio de funcionamiento del sincronizador de dos etapas

El comportamiento metaestable de la salida de DFF1 puede persistir más allá de tpd + tMET. En este caso se dice que el sincronizador falla. Mediante el MTBF (tiempo medio entre fallos del sincronizador) se puede cuantificar la probabilidad de que el sincronizador falle.

El MTBF es el principal indicador utilizado en los análisis temporales de metaestabilidad, expresa el tiempo promedio entre dos fallos consecutivos del sincronizador (ecuación 2). Este indicador se expresa como función de tMET y depende de constantes relacionadas con las características eléctricas del FF, la frecuencia de la señal de reloj y la frecuencia con que varía la señal de entrada de datos (señal asincrónica).

donde:

* w: constante de tiempo, determinada por la tecnología de fabricación del flip-flop, se define como la ventana de tiempo susceptible a metaestabilidad, asociada al frente de activo del reloj,
* fclk: frecuencia de la señal de reloj y
* fd: frecuencia de la señal asincrónica.

**Circuito test de metaestabilidad**

La Figura 4 muestra un ejemplo de Circuito test (ref. “Metastable Recovery in Virtex-II Pro FPGAs”, “Understanding metastability in FPGAs”) para detectar comportamiento metaestable, este circuito genera la condición para que ocurra metaestabilidad y cuantifica la ocurrencia de fallos producto del comportamiento metaestable del FF.

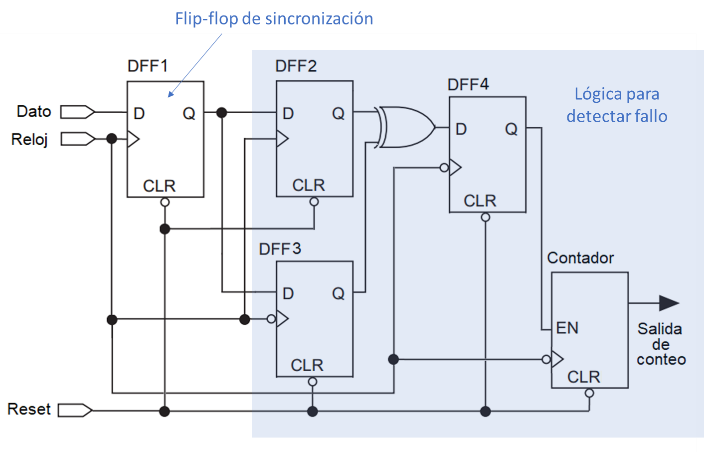


Figura 4. Circuito tests de metaestabilidad

El Circuito test cuenta con una etapa para generar la condición de metaestabilidad y otra para detectar esta condición. DFF1 recibe una señal asincrónica en la entrada de datos. La salida del flip-flop DFF1 se conecta a dos flip-flops en paralelo (DFF2 y DFF3). DFF2 y DFF3 difieren en el frente activo de su señal de reloj, la señal de reloj de DFF2 es activa con los frentes positivos y la de DFF3 es activa con los frentes negativos. Cuando el circuito opera de forma normal, los cambios en la señal de datos (Dato) se registran en los flip-flops DFF1, DFF2 y DFF3 en distintos instantes de tiempo. La lógica conformada por el XOR y DFF4 es capaz de detectar cuando los flip-flops DFF2 y DFF3 registran datos diferentes: condición de error. El contador registra la cantidad de fallos detectados.

La Figura 5 muestra el comportamiento normal del Circuito test. Cuando el circuito opera de forma normal el cambio en la señal de datos se registra con el frente positivo de la señal de reloj posterior al cambio en Dato (t1) y se refleja en la salida de DFF1, con el frente negativo siguiente (t2) se refleja en la salida de DFF3 y finalmente en el próximo frente positivo (t3) lo hace en la salida de DFF2. El XOR compara las salidas de DFF2 y DFF3, estas salidas solo son diferentes dentro del período de tiempo en que aún DFF2 no ha actualizado su salida (intervalo de t2 a t3), en este intervalo la salida del XOR es ‘1’. Como DFF4 registra con los frentes negativos de la señal de reloj, nunca detecta la salida del XOR en ‘1’. Por tanto, cuando el circuito opera de forma normal nunca la salida de DFF4 vale ‘1’.

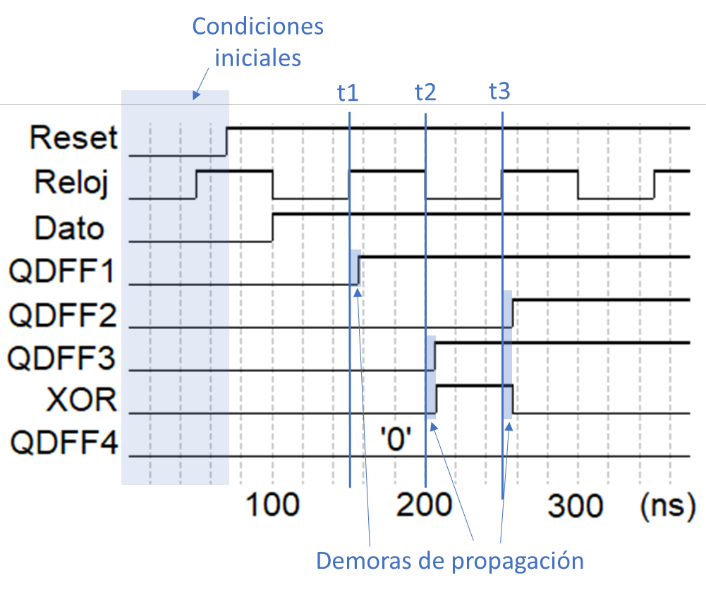


Figura 5. Diagrama de tiempo del comportamiento normal del Circuito test

Si la salida de DFF1 resulta en estado metaestable, esta demorará un tiempo indefinido en alcanzar un valor lógico estable y puede que los flip-flops DFF2 y DFF3 registren datos diferentes, en este caso DFF4 registrará un ‘1’ a la salida del XOR.

Como muestra la Figura 6, es posible establecer una relación entre el tiempo con que dispone el flip-flop DFF1 para alcanzar un valor estable sin afectar el circuito, si su salida resultó en estado metaestable y el tiempo en ‘1’ de la señal de reloj. Dicha relación está expresada en la ecuación 3.

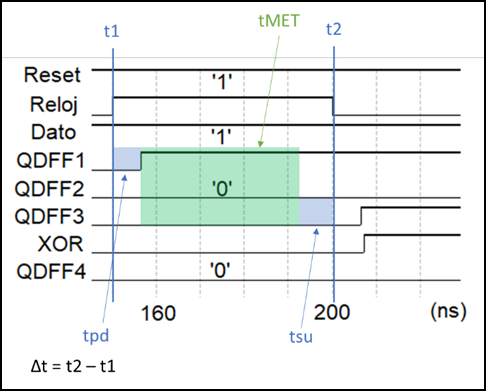


Figura 6. Relación entre el tiempo con que dispone el DFF1 para alcanzar un valor estable sin afectar el circuito, si su salida resultó en estado metaestable y el tiempo en ‘1’ de la señal de reloj

donde:

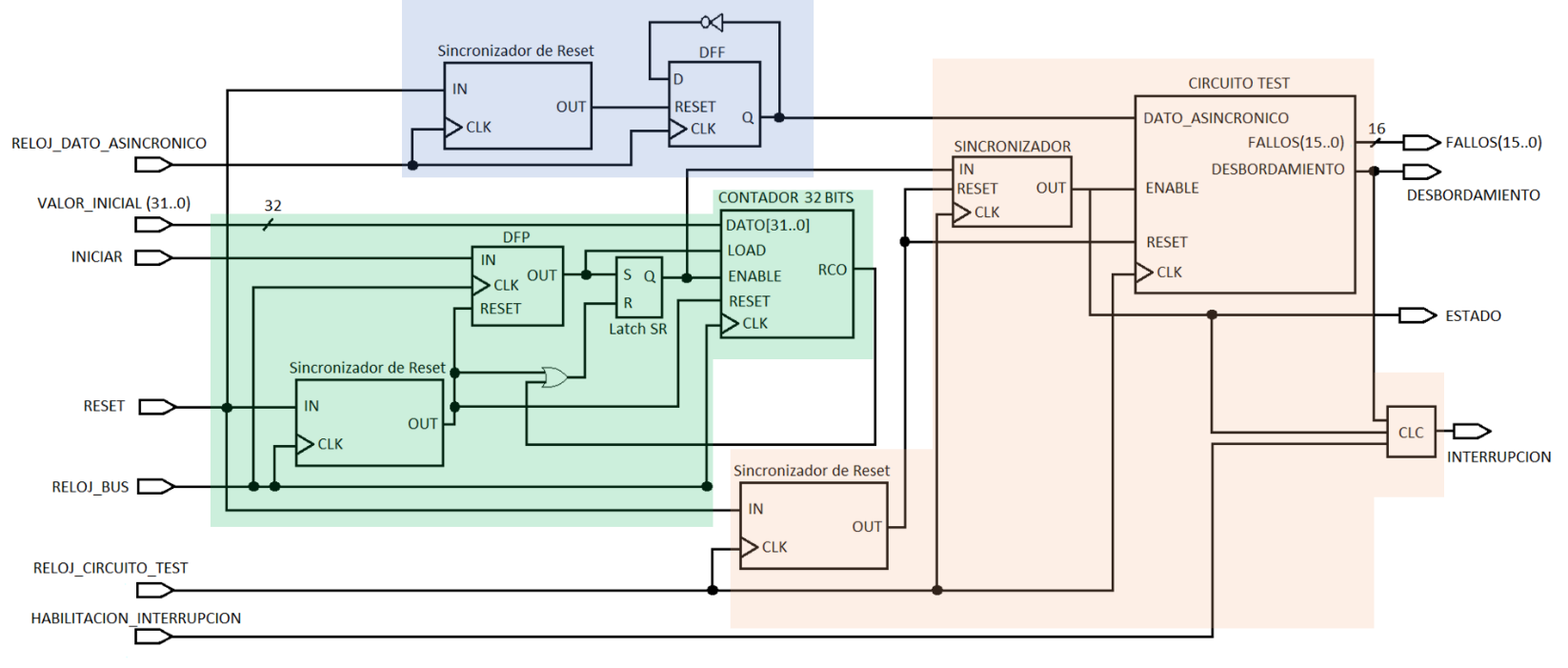
* tMET: tiempo extra a la demora de propagación de las salidas Q de DFF1 que puede mantenerse la salida del DFF1 inestable sin afectar el funcionamiento del circuito,
* Δt: tiempo en ‘1’ de un período de la señal de reloj,
* tpd: demora de propagación de las señales Q de DFF1 más la demora desde la salida de DFF1 a la entrada de datos de DFF3 y
* tsu: tiempo de set-up del flip-flop DFF3.

**Módulo IP Circuito para pruebas**

Para el desarrollo de experimentos utilizando el Circuito test de metaestabilidad se diseñó un circuito: Circuito para pruebas.

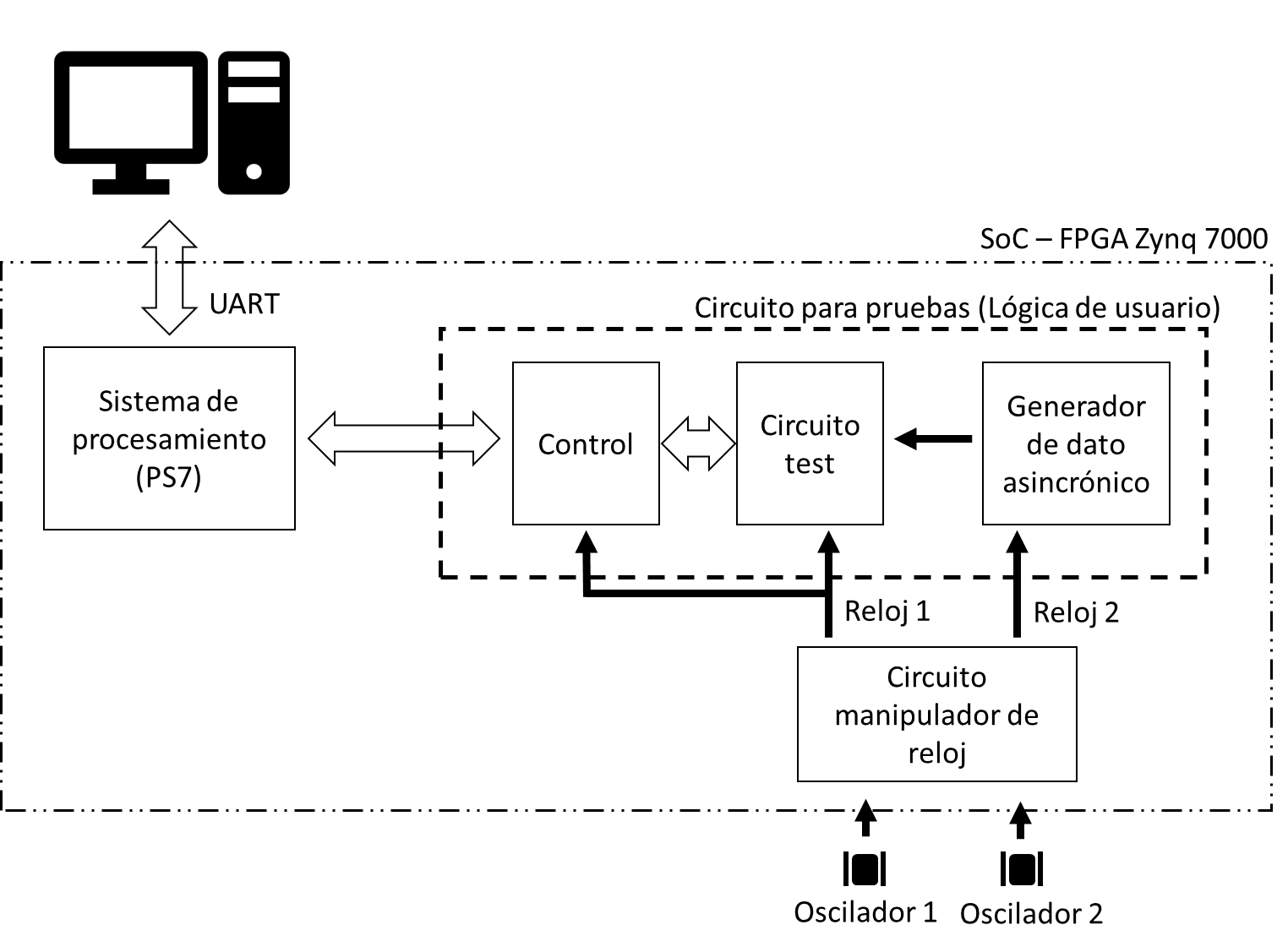
La Figura 7 muestra el esquema del Circuito para pruebas. Este circuito tiene tres dominios de reloj: RELOJ\_ADTO\_ASINCRONICO, RELOJ\_BUS y RELOJ\_CIRCUITO\_TEST. A continuación, se listan las funciones que realiza el circuito:

1. Generar la señal de datos del circuito test. Esta señal la genera le sección del circuito resaltada en azul. Un FFD cambia su estado cada vez que ocurre un frente positivo de la señal de reloj RELOJ\_DATO\_ASINCRONICO.
2. Controlar la duración del experimento. La sección del circuito resaltada en verde se encarga de llevar el control del experimento. Cuando la señal INICIAR va a ‘1’ se carga el valor inicial del conteo en el contador de 32 bits y luego se habilita el contador. También se habilita el contador de eventos del Circuito test para que registre los eventos metaestables. Cuando el contador de 32 bits se desborda se deshabilita este contador y el contador de eventos del Circuito test quedando registrada en la señal de salida FALLOS la cantidad de eventos metaestables detectados.
3. Genera una señal de solicitud de interrupción cuando finaliza el experimento u ocurre desbordamiento de contador de eventos del Circuito test.

Figura 7. Esquema del Circuito para pruebas

En la Tabla 1 se encuentra la descripción de las entradas y salidas del Circuito para pruebas.

|  |  |  |
| --- | --- | --- |
| Señales | | Descripción |
| Entradas | RELOJ\_DATO\_ASINCRONICO | Reloj para generar la señal de dato asincrónico del Circuito test |
| VALOR\_INICIAL | Valor que carga el contador de tiempo cuando la señal INICIO pasa de ‘0’ a ‘1’. |
| INICIAR | Control del experimento. Cuando esta señal pasa de ‘0’ a ‘1’ se inicia un experimento. Se establecen las condiciones iniciales y se habilitan los contadores de tiempo y eventos. |
| RESET | Reset global del circuito. |
| RELOJ\_BUS | Reloj de la sección del circuito encargada del control del experimento. |
| RELOJ\_CIRCUITO\_TEST | Reloj del Circuito test. |
| HABILITACION\_INTERRUPCION | Habilitación de la solicitud de interrupción del circuito.  ‘0’: Interrupción deshabilitada.  ‘1’: Interrupción habilitada. |
| Salidas | FALLOS | Indica la cantidad de fallos detectados cuando finaliza el experimento. |
| DESBORDAMIENTO | Indica si el contador de eventos se desbordó durante el experimento.  ‘0’: No ocurrió desbordamiento.  ‘1’: Ocurrió desbordamiento. |
| ESTADO | Indica el estado del circuito.  ‘0’: Listo para realizar el experimento.  ‘1’: Ocupado.  Cuando esta señal pasa de ‘1’ a ‘0’ indica que finalizó el experimento. |
| INTERRUPCION | Solicitud de interrupción.  ‘0’: Desactivada.  ‘1’: Activada. |



Este sistema va a permitir automatizar los experimentos. Por ejemplo, un experimento sería:

Registrar cuántas veces ocurre metaestabilidad para un conjunto de condiciones.

Ejemplo de condiciones:

Reloj 1 (reloj del circuito test): Frecuencia = 300 MHz, cu = 25%.

Reloj 2 (frecuencia de cambio de la entrada de datos del circuito test): Frecuencia = 250 Mhz, cu = 50%.

Que haría el sistema de procesamiento:

1. Establece las condiciones iniciales del circuito test a través del circuito de control, ya que el sistema de procesamiento y el circuito test estarán en dominios de reloj diferentes, el circuito de control será una interfaz entre ellos. Una condición inicial por ejemplo es el tiempo que va a durar el experimento (base de conteo del contador de tiempo del circuito de control). NO, se va a utilizar un timer del sistema de procesamiento.
2. Inicia el experimento, se habilita el contador de tiempo del controlador y el contador de eventos de la lógica para detectar fallos del circuito test.
3. Espera que el circuito para pruebas le indique que finalizó la prueba.
4. Registra los datos del experimento: número de fallos, temperatura del chip y voltaje de alimentación del chip (opcional). Implica trabajar con el conversor A/D.
5. Envía los datos registrados a la PC.

El sistema de procesamiento puede configurarse para realizar múltiples experimentos.

El número de experimentos y los tiempos de cada experimento se configuran desde la PC.

El circuito para pruebas está conformado por un bloque de control, el circuito test de la figura 4 y un bloque para generar la señal de entrada de datos del circuito test.

Es importante que la señal de entrada de datos del circuito test sea asincrónica con respecto a la señal de reloj del circuito test. Por esta razón se deben utilizar señales de reloj no relacionadas. Una solución es emplear osciladores diferentes para generar dichas señales de reloj.

**Ref.**

**Alfke P.:** Metastable Recovery in Virtex-II Pro FPGAs, Xilinx, San Jose, CA, Feb. 2005.

Understanding Metastability in FPGAs, Altera Corporation, WP-01082-1.2, San Jose, CA, Jul. 2009.